

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-150699

(43)Date of publication of application : 30.05.2000

(51)Int.Cl.

H01L 23/12
// H01L 25/065
H01L 25/07
H01L 25/18

(21)Application number : 10-336522

(71)Applicant : NEC CORP
FUJITSU LTD
TOSHIBA CORP

(22)Date of filing : 10.11.1998

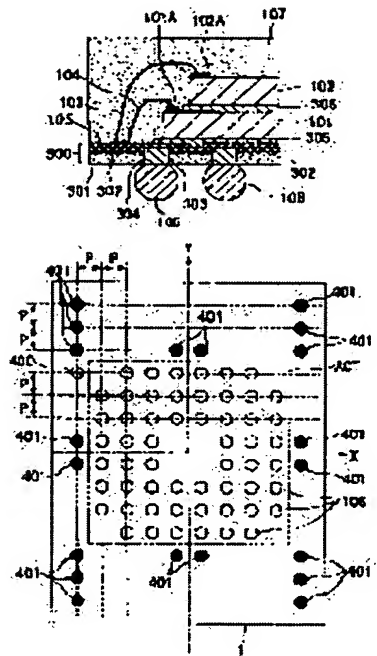
(72)Inventor : HIRATA MASAYOSHI
SUZUKI YASUHIRO
HIRAOKA TETSUYA
SATO MITSUTAKA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having high reliability in the electrical connections of a mounting board with bump electrodes.

SOLUTION: In a region ACT, 56 metal balls 106 which are connected with the bonding pads of an SRAM(static random access memory) chip 101 and the bonding pads of a FLASH memory chip 102 are formed, for example in a grid pattern. The metal balls 106 are located with P, for example 0.8 mm pitches. The metal balls 106 are not provided at the four corners of the grid pattern and the central area equivalent to four metal balls. The structure that the metal balls 106 are not provided at the four corners of the grid pattern is determined based on the result of the temperature cycle test that abrupt changes in ambient temperature are repeated after mounting a semiconductor device 1 on a mounting board via the bump electrodes of the metal balls 106 and the shock test which provides an established shock.



LEGAL STATUS

[Date of request for examination]	10.11.1998
[Date of sending the examiner's decision of rejection]	26.09.2000
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3179420
[Date of registration]	13.04.2001
[Number of appeal against examiner's decision of	2000-17159

rejection]

[Date of requesting appeal against examiner's decision 26.10.2000
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-150699

(P2000-150699A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 23/12		H 0 1 L 23/12	L
// H 0 1 L 25/065		25/08	Z
25/07			
25/18			

審査請求 有 請求項の数16 F D (全 11 頁)

(21) 出願番号 特願平10-336522

(22) 出願日 平成10年11月10日 (1998. 11. 10)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(74) 代理人 100108578

弁理士 高橋 詔男 (外3名)

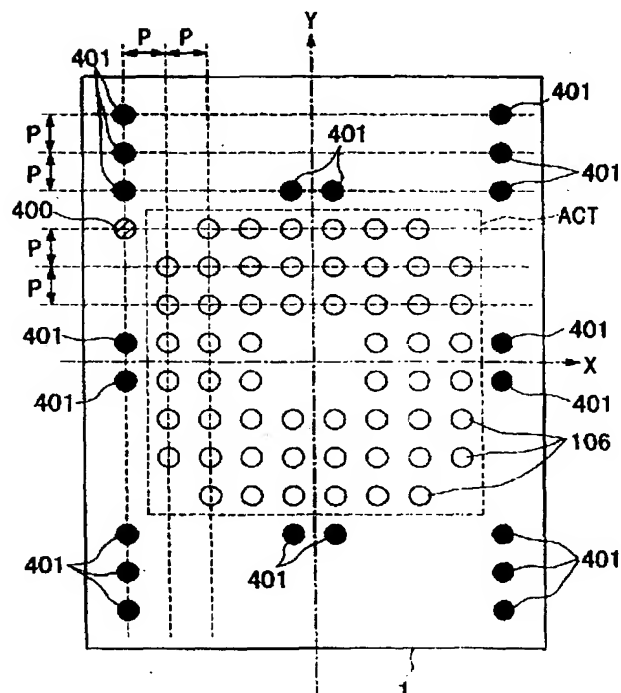
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 バンプ電極の実装基板に対する電気的接続の信頼性の高い半導体装置を提供する。

【解決手段】 領域ACT内において、SRAMチップ101のボンディングパッドとFLASHメモリチップ102のボンディングパッドと電気的に接続されている金属ボール106は、例えば格子形状に56個形成されている。そして、この金属ボール106の設けられるピッチは、周期的な間隔Pであり、例えば0.8mmとなっている。そして、格子形状の4隅及び中央の4個の部分には、金属ボール106を設けていない。格子形状の4隅に金属ボール106を設けない構造は、半導体装置1を金属ボール106のバンプ電極を介して実装基板へ実装した後、急激な周囲温度の変化を繰り返す温度サイクル試験、及び所定の衝撃力を与える衝撃試験の結果に基づく処理である。



【特許請求の範囲】

【請求項 1】 基材の一方の面側に IC チップを設け、他方の面側に設けられた複数の接続端子を前記基材に設けられた電氣的接続手段を介して前記 IC チップに電氣的に接続してなる半導体装置において、前記接続端子は全体として行列状をなすとともに、該行列の輪郭に沿う矩形の隅角を除く位置に配置されたことを特徴とする半導体装置。

【請求項 2】 基材の一方の面側に IC チップを設け、他方の面側に設けられた複数の接続端子を前記 IC チップに電氣的に接続してなる半導体装置において、前記接続端子を行列状に配置するとともに、行列の輪郭に沿う矩形の外側に他の接続端子を配置したことを特徴とする半導体装置。

【請求項 3】 前記行列の輪郭に沿う矩形の外側に他の接続端子を配置したことを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 接続端子は、前記半導体装置が取り付けられる基板に電氣的および機械的に接続される導電材からなることを特徴とする請求項 1 ないし請求項 3 のいずれかに記載の半導体装置。

【請求項 5】 前記導電材は、ハンダまたは錫合金からなることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記他の接続端子は非導電材からなることを特徴とする請求項 1 ないし請求項 3 に記載の半導体装置。

【請求項 7】 前記接続端子が球状をなし、該球の一部が前記基材の他方の面から突出していることを特徴とする請求項 4 または請求項 5 に記載の半導体装置。

【請求項 8】 前記接続端子の一部が前記 IC チップに電氣的に接続されていないことを特徴とする請求項 1 ないし請求項 7 のいずれかに記載の半導体装置。

【請求項 9】 前記他の接続端子は、前記行列の行方向または列方向の少なくとも一方に沿う外側の位置に配置されたことを特徴とする請求項 2 または請求項 3 に記載の半導体装置。

【請求項 10】 前記行列の中央に前記接続端子が配置されていないことを特徴とする請求項 1 ないし請求項 9 のいずれかに記載の半導体装置。

【請求項 11】 前記行列状をなす接続端子は一定のピッチ P で配置されたことを特徴とする請求項 1 ないし請求項 10 のいずれかに記載の半導体装置。

【請求項 12】 前記他の接続端子相互のピッチが前記ピッチ P の整数倍または整数分の一に設定されたことを特徴とする請求項 1 ないし請求項 11 のいずれかに記載の半導体装置。

【請求項 13】 前記行列状をなす接続端子と他の接続端子との行方向もしくは列方向への間隔が前記ピッチ P の整数倍または整数分の一に設定されたことを特徴とする請求項 1 ないし請求項 12 のいずれかに記載の半導体

装置。

【請求項 14】 前記他の接続端子の少なくとも一部が前記 IC チップに電氣的に接続されたことを特徴とする請求項 2 ないし請求項 13 のいずれかに記載の半導体装置。

【請求項 15】 前記他の接続端子の少なくとも一部がインデックス端子であることを特徴とする請求項 2 ないし請求項 14 のいずれかに記載の半導体装置。

【請求項 16】 前記基材内に設けられた導体を介して前記行列状の接続端子と前記 IC チップとが電氣的に接続されたことを特徴とする請求項 1 ないし請求項 15 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、特に接続端子を行列状に配置した半導体装置に係わるものである。

【0002】

【従来の技術】 近年、電子機器の機能の高度化及び電子機器の携帯化に伴い、半導体装置の実装基板上における高密度な実装が要求されている。そのため、実装基板上における半導体装置の実装の高密度化に伴い、半導体装置の一つとして半導体チップが固定（マウント）された基板の裏面にハンダボールなどのバンプ電極 C、D を図 10 に示す様に整列配置した BGA 型半導体装置が用いられている。図 10 は、実装基板に実装される BGA 型半導体装置の裏面を示す図である。

【0003】 ここで、BGA (Ball Grid Array) 型半導体装置のパッケージ（以下、BGA パッケージと記す）の大きさは、半導体チップとほぼ同程度の大きさで、チップサイズパッケージ (CSP) と呼ばれている。BGA パッケージは、いろいろな用途に用いられており、例えば、マイクロコンピュータや ASIC (特定用途向け集積回路) 等のロジック LSI (大規模集積回路) にも用いられている。これらロジック LSI は、品種毎に機能が異なり、外部接続端子の数やその機能もまちまちである。

【0004】 さらに、外部接続端子の数は、数百個におよぶこともあるので、BGA パッケージの外周部に沿って多数の金属ボールが配置されている。このように、ロジック LSI は、品種毎に外部接続端子の互換性を考慮することなく、自にピン配置を設計することができる。これに対して、メモリ製品などの汎用製品では、品種毎にあまり機能の差がないので、ピン配置を予め決めておくことで、どこのメーカーのメモリ製品であっても、または記憶容量の異なる製品であっても実装基板に搭載することができる。

【0005】 また、メモリ容量が増加して、アドレス線やデータ線の数が増えても、容量増加を見越したピン配置としておくことで、ピン配置を変更することなく、同

一のパッケージに搭載することができる。また、これらのピンをパッケージの中央付近に格子状のグリッドに配置しておくことで、アドレス線やデータ線の数が増えても、その外周にグリッドを追加することで、それまでのピン配置を維持したまま、追加することができる。このように、ロジックLSIと汎用製品とでは、ICのピン配置の仕方に違いがある。

【0006】

【発明が解決しようとする課題】しかしながら、図10におけるBGA型半導体装置の裏面に整列配置した4隅部分のバンプ電極Cは、周囲の温度変化により、実装基板と基板との熱膨張率の違いにより、基板の内方と外方との間に、他の部分のバンプ電極Dと比較して大きな熱応力が働く。この結果、実装基板と基板とを接続するバンプ電極Cの接続部分は、この熱応力によるストレスで機械的及び電気的な接続不良を起こす。

【0007】また、図10におけるBGA型半導体装置の裏面に整列配置した4隅部分のバンプ電極Cは、半導体装置に対して落下や衝突などによる衝撃が加わった場合のストレスも、他の部分のバンプ電極Dと比較して大きな衝撃力が働く。この結果、実装基板と基板とを接続するバンプ電極の接続部分は、この衝撃力によるストレスで機械的及び電気的な接続不良を起こす。

【0008】このような問題を解決するため、特公平3-38737号公報（以下、従来例1には、4隅のバンプ電極Cを補強用電極とした例が記載されており、または実開平1-16886号公報（以下、従来例2）には、最外周に位置するバンプ電極C、Dを全て補強用電極として使用した例が開示されている。しかしながら、従来例1では、補強用バンプ電極を設けてはいるものの、4隅に配置しているため、上述のように補強用バンプ電極にストレスが集中しやすく、はがれやすい。このため、補強の役割を果たしにくいという問題がある。

【0009】また、従来例2では、外周部に補強用バンプ電極を設けると、補強強度は向上する。しかし、補強用バンプ電極の内部に位置する電極を外部に接続するためには、補強用バンプ電極の間に多くの配線を通す必要がある。電極間に通す配線の数が増えると、その配線の幅を狭くしなければならない。配線の幅が狭くなると、抵抗が増大するなど電気的な特性が劣化するとともに、通常の製造プロセスや基板材料では、配線が断線しやすくなる。配線の幅を狭くするには、微細加工が可能なプロセスや基板材料を用いなければならず、製造コストが上がってしまう。

【0010】さらに、外周部全てに補強用バンプ電極を設けると、補強用のボールの数が増えてしまい、コストアップになる。また、行列状に配置したボールのうち、中央付近にもバンプ電極を設けると、前述のとおり、引き出し用の配線を引き出しにくくしてしまう。また、この部分に補強用バンプ電極を設けても、この部分にはス

トレスがあまり生じないので、補強効果が少ない。その割には、バンプ電極の数が増えてしまい、コストアップになってしまう。

【0011】本発明はこのような背景の下になされたもので、バンプ電極の実装基板に対する電気的接続の信頼性の高い半導体装置を提供する事にある。

【0012】

【課題を解決するための手段】請求項1記載の発明は、基材の一方の面側にICチップを設け、他方の面側に設けられた複数の接続端子を前記基材に設けられた電気的接続手段を介して前記ICチップに電気的に接続してなる半導体装置において、前記接続端子は全体として行列状をなすとともに、該行列の輪郭に沿う矩形の隅角を除く位置に配置されたことを特徴とする。

【0013】請求項2記載の発明は、基材の一方の面側にICチップを設け、他方の面側に設けられた複数の接続端子を前記ICチップに電気的に接続してなる半導体装置において、前記接続端子を行列状に配置するとともに、行列の輪郭に沿う矩形の外側に他の接続端子を配置したことを特徴とする。

【0014】請求項3記載の発明は、請求項1記載の半導体装置において、前記行列の輪郭に沿う矩形の外側に他の接続端子を配置したことを特徴とする。請求項4記載の発明は、請求項1ないし請求項3のいずれかに記載の半導体装置において、前記接続端子が、前記半導体装置が取り付けられる基板に電気的および機械的に接続される導電材からなることを特徴とする。

【0015】請求項5記載の発明は、請求項4に記載の半導体装置において、前記導電材は、ハンダまたは錫合金からなることを特徴とする。請求項6記載の発明は、請求項1ないし請求項3に記載の半導体装置において、前記他の接続端子は非導電材からなることを特徴とする。

【0016】請求項7に記載の発明は、請求項4または請求項5に記載の半導体装置において、前記接続端子が球状をなし、該球の一部が前記基材の他方の面から突出していることを特徴とする。請求項8記載の発明は、請求項1ないし請求項7のいずれかに記載の半導体装置において、前記接続端子の一部が前記ICチップに電気的に接続されていないことを特徴とする。

【0017】請求項9記載の発明は、請求項2または請求項3に記載の半導体装置において、前記他の接続端子が、前記行列の行方向または列方向の少なくとも一方に沿う外側の位置に配置されたことを特徴とする。請求項10記載の発明は、請求項1ないし請求項9のいずれかに記載の半導体装置において、前記行列の中央に前記接続端子が配置されていないことを特徴とする。

【0018】請求項11記載の発明は、請求項1ないし請求項10のいずれかに記載の半導体装置において、前記行列状をなす接続端子は一定のピッチPで配置された

ことを特徴とする。請求項12記載の発明は、請求項1ないし請求項11のいずれかに記載の半導体装置において、前記他の接続端子相互のピッチが前記ピッチPの整数倍または整数分の一に設定されたことを特徴とする。

【0019】請求項13記載の発明は、請求項1ないし請求項12のいずれかに記載の半導体装置において、前記行列状をなす接続端子と他の接続端子との行方向もしくは列方向への間隔が前記ピッチPの整数倍または整数分の一に設定されたことを特徴とする。請求項14記載の発明は、請求項2ないし請求項13のいずれかに記載の半導体装置において、前記他の接続端子の少なくとも一部が前記ICチップに電気的に接続されたことを特徴とする。

【0020】請求項15記載の発明は、請求項2ないし請求項14のいずれかに記載の半導体装置において、前記他の接続端子の少なくとも一部がインデックス端子であることを特徴とする。請求項16記載の発明は、請求項1ないし請求項15のいずれかに記載の半導体装置において、前記基材内に設けられた導体を介して前記行列状の接続端子と前記ICチップとが電気的に接続されたことを特徴とする。

【0021】

【発明の実施の形態】以下、図面を参照して本発明の実施形態について説明する。図1は本発明の一実施形態による半導体装置1の構造を示す概念図である。この半導体装置1は、スタックMCP(Multi-Chip-Package)により、FLASHメモリチップとSRAM(Static-Random-Access-Memory)チップとが基材100上面で重ね合わされてワンパッケージ化されている例をもとに説明するが、これに限定されるものではなく、1つの半導体チップを搭載したものでも良い。図1(a)は半導体装置1のパッケージ内を上面から見た平面図であり、図1(b)はA-A'による断面図を示している。

【0022】図において、101はSRAMチップであり、上面側にFLASHメモリチップ102が設置されている。この重ね合わせの上下関係は、チップサイズが大きい方のチップが下部に来るようになっていけばよい。このように重ね合わせることで、半導体装置1のサイズを大幅に削減できる。例えば、従来のTSOP(Thin-Small-Out-line-Package)のSRAMチップ及びFLASHメモリをそれぞれ1個ずつ使用した場合の3割の実装面積となる。

【0023】また、SRAMチップ101とFLASHメモリチップ102とは、重なり合う部分における互いのボンディングパッド101B、102Bとの大半が同一信号となるように設計されている。すなわち、SRAMチップ101のボンディングパッド101AとFLASHメモリチップ102のボンディングパッド102Aとは、ピン配置及び配線の最適化のため、アドレス信号

やデータ信号を入出力するパッドはほぼ同位置になるように配置され、RESET信号や、チップイネーブル(CE)信号などの制御用信号にパッドは、それぞれ別のパッドに接続できるよう配置している。

【0024】103は金、銅またはアルミニウム等の導体で形成されたボンディングワイヤであり、ボンディングパッド102Aと基材100表面のボンディングパッド100Bとを電気的に接続している。104は金、銅またはアルミニウム等の導体で形成されたボンディングワイヤであり、ボンディングパッド101Aと基材100表面のボンディングパッド100Aとを電気的に接続している。また、ボンディングパッド100Aとボンディングパッド100Bとは、基材100上の上面側に形成された導体(銅、またはニッケルメッキ、錫メッキ、金メッキのいずれかをメッキしたもの、または銅に前記メッキを層状に組み合わせたもの等)の配線105を介して接続されている。

【0025】106は金属ボールであり、配線105と電気的に接続され、図示しない実装基板上の配線と配線105とを電気的に接続する。金属ボール106は、半田、錫合金、金などの金属材質、または、炭素や導電性フィルムなど電気的に接続ができる材質で構成される。また、その形状は、球状に限定されるものではなく、半球状、円柱状などでもよい。金属ボール106は、ハンダ、錫合金、金などの材質で構成される。107は封止樹脂であり、SRAMチップ101、FLASHメモリチップ102、ボンディングワイヤ103及び各ボンディングパッドを湿気等から保護する。

【0026】次に、図2と図3とを用いて金属ボール106と配線105との接続の構造を説明する。ここで、基材100としては、テープが用いられる場合と、PCB(プリント配線基板)が用いられる場合とがある。PCBが用いられる場合の金属ボール106と配線105との接続の構造を図2に示し、テープが用いられる場合の金属ボール106と配線105との接続の構造を図3に示す。

【0027】まず、図2に示す接続の構造について説明する。この図において、200はPCBであり、図1に示す半導体装置1の基材100として用いられる。基材200において、基礎の基板となるコア部材201の上面には、配線105が形成されている。また、コア部材201が開口部202を有し、配線105は開口部202に銅などで形成された側面導体203を介して、コア部材201の下面に銅などの導体で形成された配線204と電気的に接続されている。配線105、配線204及び側面導体203の露出面は、ソルダレジスト205が形成されている。209はアイランドであり、配線204上に形成されたソルダレジスト205の開口部分である。ここで、PCBとして、ガラスエポキシ樹脂などの樹脂基板やセラミック基板を用いることが出来る。

【0028】そして、金属ボール106は、このランド209により配線204と電氣的に接続されている。すなわち、ボンディングパッド101A及びボンディングパッド102Aは、それぞれボンディングワイヤ104、ボンディングワイヤ103、配線105、側面導体203及び配線204を介して、金属ボール106と電氣的に接続されている。また、配線105上面のソルダレジスト205の開口部206は、ボンディングパッド100A及び100Bを形成している。また、本発明において、接続端子とは、金属ボール106と接続ボール401、またはこれらボールを有していないランド209のいずれかを指し、半導体装置と外部の実装基板と接続可能な端子を意味する。

【0029】207は接着テープまたはペーストで形成された接合部材であり、SRAMチップ101の下面とソルダレジスト205の上面とを貼着している。同様に、208は接着テープまたはペーストで形成された接合部材であり、SRAMチップ101の上面とFLASHメモリチップ102の下面とを貼着している。

【0030】次に、図3に示す接続の構造について説明する。この図において、300はテープであり、図1に示す基材100として用いられる。基材300において、基礎の基板となるポリイミドフィルム301の上面には、接着テープまたはペーストで形成された接合部材302を介して配線105が形成されている。ここでは、配線105は、接合部材302を介してポリイミドフィルム301上に形成された例を説明するが、接合部材302を用いずにポリイミドフィルム301上に直接形成されたものでもよい。また、ポリイミドフィルム301が開口部303を有し、配線105は開口部303に銅などで形成された接合導体304を介して、金属ボール106と電氣的に接続されている。

【0031】すなわち、ボンディングパッド101A及びボンディングパッド102Aは、それぞれボンディングワイヤ104、ボンディングワイヤ103、配線105及び接合導体304を介して、金属ボール106と電氣的に接続されている。また、このとき、配線105はパターンニングされ、そのままボンディングパッド100A及び100Bを形成している。

【0032】305は接着テープまたはペーストで形成された接合部材であり、SRAMチップ101の下面とソルダレジスト205の上面とを貼着している。同様に、306は接着テープまたはペーストで形成された接合部材であり、SRAMチップ101の上面とFLASHメモリチップ102の下面とを貼着している。

【0033】次に、図4を用いて本実施形態の半導体装置1におけるハンダボールの配置を説明する。領域ACT内において、SRAMチップ101のボンディングパッドとFLASHメモリチップ102のボンディングパッドと電氣的に接続されている金属ボール106は、例

えば格子形状（行列状）に56個形成されている。そして、この金属ボール106の設けられるピッチは、周期的な間隔Pであり、例えば0.8mmとなっている。そして、格子状形状の4隅（図10のバンプ電極Cに相当）及び中央の4個の部分には、金属ボール106を設けていない。

【0034】格子状形状の4隅に金属ボール106を設けない構造は、半導体装置1を金属ボール106のバンプ電極を介して実装基板へ実装した後、急激な周囲温度の変化を繰り返す温度サイクル試験、及び所定の衝撃力を与える衝撃試験の結果に基づく処理である。すなわち、特に、格子形状に配列された4隅の金属ボール106は、温度サイクルによる熱応力、及び衝撃試験による衝撃力のストレスを受け易く、実装基板と半導体装置1との電氣的及び機械的な接続不良となりやすい。

【0035】従って、一実施形態による半導体装置1は、不良となる位置には初めからパッケージに封止される半導体チップに電氣的に接続される金属ボール106を設けない思想に基づいたバンプ電極の配置構成となっている。この結果、一実施形態による半導体装置1は、4隅の金属ボール106にかかるストレスを解放することが出来る。言い換えれば、4隅の8個の金属ボール106にストレスを分散させることができるので、接続強度を倍にすることが出来る。

【0036】400はインデックス部であり、SRAMチップ101のボンディングパッドとFLASHメモリチップ102のボンディングパッドとに電氣的に接続されていないインデックス用の目印である。すなわち、インデックス部400は、半導体装置1の方向を示すものであり、対象性を有していない場所であればよい。またインデックス部400は、アイランド209をむき出しにしてもよいし、金属ボール106または接続ボール401を配してもよいし、レーザーなどで刻印してもよい。インデックス部400には金属ボール106または接続ボール401を配して実装基板と接続した場合には、インデックス部401は実装基板と半導体装置1との接続強度を増加させる役割を果たす。

【0037】401は接続ボールであり、SRAMチップ101のボンディングパッドとFLASHメモリチップ102のボンディングパッドとに電氣的に接続されていない補強用のバンプ電極である。また、接続ボール401の1部を電氣的に接続することも出来る。すなわち、接続ボール401は、半導体装置1の裏面の外周部近傍の設けられており、外周近傍に設けられた接続ボール401がストレスを吸収するので、4隅のバンプ電極Cに金属ボールを設けても、領域ACT内の金属ボール106にかかるストレスを低減できる。

【0038】さらに、4隅のバンプ電極Cの金属ボールを設けないようにすることで、8隅の金属ボールにストレスを分散する事ができるので、さらに接続不良の発生

確率を低減できる。また、領域ACTとは離間した位置に接続ボール401を配することで、金属ボール106よりも底面積の広い接続ボール401を設けることが可能になり、接続強度を一層向上させることができる。

【0039】接続ボール401の設置されるピッチは、金属ボール106と同様に周期的な間隔Pであり、例えば0.8mmとなっている。しかしながら、接続ボール401は、間隔Pの整数倍または整数分の1に対応した間隔で配置することも可能である。さらに、この間隔Pは、任意の値としても良く、基材100あるいは実装基板の配線パターンを設計するCADツールの格子（グリッド）間隔の整数倍であればよい。

【0040】また、接続ボール401の配置される位置についても、図4に示す外周近傍ではなく、図5に示す様に領域ACTの近傍及び内部に配置することも可能である。このとき、接続ボール401は、少なくとも1部の個数を除き、領域ACTの内部に設置した場合にも機械的な接続のみ行い、半導体チップとは電気的な接続は行わない。このとき、接続ボール401は、金属ボール106と同一材質のボールで形成されている。また、図6及び図7に示すような接続ボール401の配置を行っても良い。

【0041】なお、上述した接続ボール401を図5に示す様に半導体装置1の裏面の外周部近傍に配置せず、4隅を除いて金属ボール106を格子形状に配列させたのみの構成も可能である。さらに、上述した接続ボール401を半導体装置1の裏面の外周部近傍に配置し、4隅を含めて金属ボール106を格子形状に配列させた構成も可能である。この場合は、4隅の金属ボール106にかかるストレスを外周部近傍に配置された接続ボール401が吸収する。

【0042】次に、図8を用いて、金属ボール106と、SRAMチップ101のボンディングパッド及びFLASHメモリチップ102のボンディングパッドとの電気的な接続関係を説明する。図8は半導体装置1の基材100をSRAMチップ101を実装する上面から見た図である。

【0043】この図において、B2～B7、C1～C8、E1～E8、F1～F3、F6～F8、G1～G3、G6～G8、H1～H8、I1～I8、J2～J7は開口部であり、例えば図2の開口部202に対応している。すなわち、開口部B2～B7、開口部C1～C8、開口部E1～E8、開口部F1～F3、開口部F6～F8、開口部G1～G3、開口部G6～G8、開口部H1～H8、開口部I1～I8、開口部J2～J7に対応した下面には、それぞれ金属ボール106が接続されている。

【0044】また、TA0～TA22、TDQ0～TDQ15、TVSS、TVss、TSA、TNC、TVCCf、TVCCs、CIOf、CIOs、TRY/BY

B、TRESETB、TWEB、TUB、TLB、TCEfB、TCE1sB、TCE2s及びTOEBはボンディングパッドであり、例えば図1のボンディングパッド100A及びボンディングパッド100Bに対応している。

【0045】そして、開口部B2～B7、開口部C1～C8、開口部E1～E8、開口部F1～F3、開口部F6～F8、開口部G1～G3、開口部G6～G8、開口部H1～H8、開口部I1～I8、開口部J2～J7に対応した下面の金属ボール106は、おのこの配線105を介して図8に示すように、ボンディングパッドTA0～TA22、ボンディングパッドTDQ0～TDQ15、ボンディングパッドTVSS、ボンディングパッドTVss、ボンディングパッドTSA、ボンディングパッドTNC、ボンディングパッドTVCCf、ボンディングパッドTVCCs、ボンディングパッドCIOf、ボンディングパッドCIOs、ボンディングパッドTRY/BYB、ボンディングパッドTRESETB、ボンディングパッドTWEB、TUB、ボンディングパッドTLB、ボンディングパッドTCEfB、ボンディングパッドTCE1sB、ボンディングパッドTCE2s及びボンディングパッドTOEBに電気的に接続されている。ここで、上述したボンディングパッドの記号の最後に「B」がついているものは、入力される信号が負論理で入力されることを示している。

【0046】また、ボンディングパッドTA0～TA22、ボンディングパッドTDQ0～TDQ15、ボンディングパッドTVSS、ボンディングパッドTVss、ボンディングパッドTSA、ボンディングパッドTNC、ボンディングパッドTVCCf、ボンディングパッドTVCCs、ボンディングパッドCIOf、ボンディングパッドCIOs、ボンディングパッドTRY/BYB、ボンディングパッドTRESETB、ボンディングパッドTWEB、TUB、ボンディングパッドTLB、ボンディングパッドTCEfB、ボンディングパッドTCE1sB、ボンディングパッドTCE2s及びボンディングパッドTOEBは、ボンディングパッド100A及びボンディングパッド100Bに相当し、例えばボンディングワイヤ103またはボンディングワイヤ104を介して（図1参照）、SRAMチップ101のボンディングパッド及びFLASHメモリチップ102のボンディングパッドと電気的に接続されている。

【0047】さらに、上述した各ボンディングパッドと、このボンディングパッドに配線105により電気的に接続される金属ボール106に対応する各開口部は、開口部と開口部との間に配線105が2本パターンニング出来るように配置されている。

【0048】そして、ボンディングパッドTA0～TA22は、それぞれSRAMチップ101のアドレス信号A0～A22に対応したボンディングパッドに接続され

る。同様に、ボンディングパッドTA0～TA22は、それぞれFLASHメモリチップ102のアドレス信号A0～A22に対応したボンディングパッドに接続される。半導体装置1に使用されるメモリ容量により、使用されないボンディングパッドが出てくるが、例えばアドレス信号A0～A22とすると、メモリ容量は128Mビットに対応出来る。

【0049】また、ボンディングパッドTDQ0～TDQ15は、それぞれSRAMチップ101のデータ信号DQ0～DQ15に対応したボンディングパッドに接続される。同様に、ボンディングパッドTDQ0～TDQ15は、それぞれFLASHメモリチップ102のデータ信号DQ0～DQ15に対応したボンディングパッドに接続される。

【0050】FLASHメモリチップ102のデータ信号は、データ信号DQ0～DQ15の16ビット分あるが、例えばボンディングパッドTCIO_fに対して

「H」レベルの信号を与えるとデータ信号DQ0～DQ1516ビット出力となり、ボンディングパッドTCIO_fに対して「L」レベルの信号を与えるとデータ信号DQ0～DQ7の8ビット出力となる。

【0051】同様に、SRAMチップ101のデータ信号は、データ信号DQ0～DQ15の16ビット分あるが、例えばボンディングパッドTCIO_sに対して

「H」レベルの信号を与えるとデータ信号DQ0～DQ15の16ビット出力となり、ボンディングパッドTCIO_sに対して「L」レベルの信号を与えるとデータ信号DQ0～DQ7の8ビット出力となる。

【0052】ボンディングパッドTCE_fBには、FLASHメモリチップ102をイネーブルにするかディセーブルにするかの設定を行う信号CE_fBが供給される。例えば、ボンディングパッドTCE_fBに「L」レベルの信号CE_fBを与えると、FLASHメモリチップ102はイネーブルとなる。一方、ボンディングパッドTCE_fBに「H」レベルの信号CE_fBを与えると、FLASHメモリチップ102はディセーブルとなる。

【0053】ボンディングパッドTCE₁sBには、SRAMチップ101をイネーブルにするかディセーブルにするかの設定を行う信号CE₁sBが供給される。例えば、ボンディングパッドTCE₁sBに「L」レベルの信号CE₁sBを与えると、SRAMチップ101はイネーブルとなる。一方、ボンディングパッドTCE₁sBに「H」レベルの信号CE₁sBを与えると、SRAMチップ101はディセーブルとなる。

【0054】ボンディングパッドTCE₂sには、SRAMチップ101をイネーブルにするかディセーブルにするかの設定を行う信号CE₂sが供給される。例えば、ボンディングパッドTCE₂sに「H」レベルの信号CE₂sを与えると、SRAMチップ101はイネー

ブルとなる。一方、ボンディングパッドTCE₂sに「L」レベルの信号CE₂sを与えると、SRAMチップ101はディセーブルとなる。

【0055】ボンディングパッドTOEBには、FLASHメモリチップ102のデータ信号DQ0～DQ15の出力をイネーブルにするかディセーブルにするかの設定を行う信号OEBが供給される。例えば、ボンディングパッドTOEBに「L」レベルの信号OEBを与えると、FLASHメモリチップ102のデータ信号DQ0～DQ15の出力はイネーブルとなる。一方、ボンディングパッドTOEBに「H」レベルの信号OEBを与えると、FLASHメモリチップ102のデータ信号DQ0～DQ15の出力はディセーブルとなる。

【0056】ボンディングパッドTWBには、SRAMチップ101及びFLASHメモリチップ102にデータを記憶させる時に「L」レベルとする信号WEBが供給される。ボンディングパッドTLBB及びボンディングパッドTUBBには、データ信号DQ0～DQ15を、下位バイトのデータ信号DQ0～DQ7と上位バイトのデータ信号DQ8～DQ15とに分けて使用するときのアドレッシングに対する補助信号である信号LBBと信号UBBとが各々入力される。

【0057】ボンディングパッドTV_ssとボンディングパッドTVSSには、SRAMチップ101及びFLASHメモリチップ102に対する電源VSSが供給される。ボンディングパッドTVCC_fには、FLASHメモリチップ102に対する電源VCCが供給される。ボンディングパッドTVCC_sには、SRAMチップ101に対する電源VCCが供給される。

【0058】ボンディングパッドTN_Cには、SRAMチップ101及びFLASHメモリチップ102に対する特殊な機能（書き込み禁止、テスト）の信号が入力されるため、通常の場合には外部配線に接続されない。ボンディングパッドTRESETBには、SRAMチップ101及びFLASHメモリチップ102に対するリセット信号が入力される。例えば、リセット信号を「L」レベルで入力されると、SRAMチップ101及びFLASHメモリチップ102にリセットがかかり初期化される。

【0059】ボンディングパッドTRY・RYBには、FLASHメモリチップ102から、FLASHメモリチップ102が自動アルゴリズム動作実行中か否かを検出するRY・RYB信号が出力される。すなわち、書き込みまたは消去動作中、RY・RYB信号は「0」で出力され、自動アルゴリズム動作待機中、RY・RYB信号は「1」で出力される。

【0060】ボンディングパッドTSAには、SRAMチップ101のアドレス信号が入力される。SRAMチップ101の入出力が8ビット構成で使用される場合（制御信号CIO_sにより制御）、アドレス信号として

用いられる信号が入力される。一方、SRAMチップ101のアドレス信号が入力される。SRAMチップ101の入出力が16ビット構成で使用される場合、無効端子となる。

【0061】また、図8に示されるランド209、金属ボール106の配置により、FLASHメモリチップ102の電源Vccf端子とSRAMチップ101の電源Vccs端子とを近接して配設しており、システム構成上でFLASHメモリチップ102とSRAMチップ101との電源Vccを共通電源へ接続することを容易としている。すなわち、本発明による半導体装置1が搭載されるシステム内の基板において、ランド端子C4とC5とを含む大きさの電源端子を設けることで、両端子に同一電源電圧を容易に加えることが出来る。

【0062】さらに、図8に示されるランド209、金属ボール106の配置により、SRAMチップ101のバイト切り替えの端子(CIOs)が、電源Vccs端子に近接して配設され、システム構成上で同バイト切り替え端子を「H」レベル、すなわちWORD(16ビット)モードとすることを容易にしている。これも、システム内の基板において、端子C5と端子B5とを含む大きさの電源端子を設け、同端子に電源電圧(Vcc)を与えることで、WORD(16ビット)モードとすることが出来る。

【0063】また、さらに、図8に示されるランド209、金属ボール106の配置により、FLASHメモリチップ102のデータ端子DQ15と、SRAMチップ101のデータ端子SAを近接して配設し、両半導体チップ、FLASHメモリチップ102、SRAMチップ101の一括8ビット化を容易としている。システム内の基板において、端子E7と端子F8とを含む大きさの電源端子を設け、同端子に適当な電圧、例えば「L」レベルを与えることで、両半導体チップ、FLASHメモリチップ102、SRAMチップ101を共に8ビットモードとすることが出来る。

【0064】次に、図9に温度サイクル試験及び衝撃試験に用いる基材100(図1)表面の配線パターンを示す。図に示さない実装基板側の実装面の配線と配線600とでデジチェーン(基材の裏面の全てのハンダボールを直列に介して電流の流れる経路)を形成し、ストレスを与えた後に、基材の裏面の全てのハンダボールの電気的接続の確認を行う。

【0065】以上、本発明の一実施形態を図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等があっても本発明に含まれる。例えば、上述の説明においては、スタックされる半導体チップを、SRAMチップ及びFLASHメモリチップにより説明したが、他の機能の半導体チップを用いることも出来る。

【0066】また、本発明の半導体装置1のバンプ電極

の構成は、半導体チップをスタックせずに、複数のチップが同一基材上に配置されてワンパッケージ化された半導体装置1のバンプ電極に対して用いることも出来る。さらに、本発明の半導体装置1のバンプ電極の構成は、1個の半導体チップのワンパッケージ化された半導体装置1のバンプ電極に対して用いることも出来る。

【0067】さらに、また、本発明の半導体装置1のバンプ電極の構成は、基材100にPCBを用いた場合に、図2に示す半導体装置側に金属ボール106を設けず、ランド209に実装基板上の配線に設けられたハンダ材を接続してバンプ電極を形成するLGA(Land-Grid-Array)に対しても同様に用いることも出来る。この場合、ランド209を半導体装置1の裏面に格子形状に設けると、格子形状の4隅にランド209を設けない構成となる。また、半導体装置1の裏面に補強用のハンダボールのためのアイランドを設ける構成となる。

【0068】

【発明の効果】本発明によれば、温度変化及び衝撃などで加えられるストレスにより、電気的な接続が不良となり易い格子形状に配置された4隅に、半導体チップと電気的に接続されるハンダボールを配置しないことにより、半導体装置裏面において温度変化及び衝撃などで加えられるストレスにより起こる格子形状に配置された4隅のバンプ電極の電気的な接続不良を回避し、実装基板における電気的な不良発生を防止することが可能である。

【0069】また、本発明によれば、半導体装置の裏面において、外周近傍に半導体チップと電気的接続を行わないハンダボールを配置するため、温度変化及び衝撃などで加えられるストレスを吸収するため、半導体装置の裏面中央に配置される半導体チップと電気的に接続されるハンダボールにかかるストレスを軽減し、バンプ電極の電気的な接続不良を回避するので、実装基板における電気的な不良発生を防止することが可能である。

【0070】本発明によれば、領域ACT内に金属ボールを格子形状に配置し、中央部付近と4隅に金属ボールを配置しないようにしたので、不要に金属ボールの数を増加させることなく、また、ランド間の配線数を2本以下に抑えることができるので、高度な製造プロセスや、高級な基材を用いる必要がなく、現状の製造プロセスや基材で信頼性の高い半導体装置を実現できる。また、ランド間の配線数を少なくすることができるので、配線の幅が広くなり、配線抵抗を小さくすることができるので、電気的特性を劣化させることがなく、また配線の途切れなどの接続不良も生じにくい。このように、本発明によれば、いたずらにボールの数を増やすことなく、接続強度が大きく、配線が容易で、低コストの半導体装置が実現できる。

【0071】また、領域ACTより外側に接続ボールを

配置することで、領域 A C T 内の金属ボールへのストレスを低減できるので、接続不良が発生し難くなるとともに、ランド間の配線の設計や製造が容易になる。

【0072】さらにまた、本発明によれば、複数の半導体装置を用いて必用とする電子機器システムを実現するとき、複数の半導体チップを積層することで、その占有面積の増加を抑制することができる。また、複数の半導体記憶素子チップを積層することで、小さい実装面積に大きな記憶容量を搭載することができる。また、動作形態や機能の異なる複数の半導体記憶素子チップのそれぞれに、入出力のデータ線の幅（バイト幅、またはビット幅）を切り替える機能を持たせることにより、特定のバイト幅構成の半導体装置を多数種類準備しておくことなく、ユーザーの要求に対応することができる。

【0073】さらに、複数の半導体チップを積層するとき、アドレス信号やデータ信号など同一種類のボンディングパッドを半導体チップ相互で近接して配置することで、基材側のボンディングパッドを増加させることなく、容易に接続でき、金属ボールの数（外部接続端子数）を低減でき、パッケージの大型化を防止できる。このため、本半導体装置を使用する電子機器システムを一層小型化でき、製造工程の効率化を図ることができる。

【図面の簡単な説明】

【図1】 本発明の一実施形態による半導体装置1の内部の構造を示す概念図である。

【図2】 図1の半導体装置における基材をPCBとした場合のスタックMCPのパッケージ構造を示す概念図である。

【図3】 図1の半導体装置における基材をテープとした場合のスタックMCPのパッケージ構造を示す概念図である。

【図4】 図1の半導体装置1における金属ボール10

6の配列を示す半導体装置の裏面図である。

【図5】 図1の半導体装置1における金属ボール106の配列の一例を示す半導体装置の裏面図である。

【図6】 図1の半導体装置1における金属ボール106の配列の他の例を示す半導体装置の裏面図である。

【図7】 図1の半導体装置1における金属ボール106の配列の他の例を示す半導体装置の裏面図である。

【図8】 金属ボール106と、SRAMチップ101のボンディングパッド及びFLASHメモリチップ102のボンディングパッドとの電気的な接続関係を示すパターン図である。

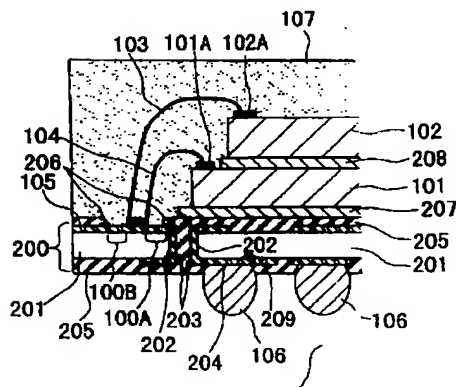
【図9】 本発明のバンプ電極に対するストレス試験後の電気的な接続の良否を判定するための、基材の配線を示す図である。

【図10】 従来の半導体装置におけるバンプ電極の配列を示す半導体装置の裏面図である。

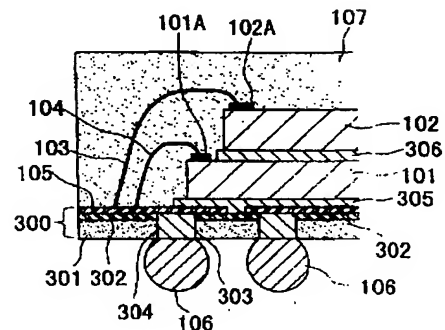
【符号の説明】

- 100 基材
- 101 SRAMチップ
- 102 FLASHメモリチップ
- 103、104 ボンディングワイヤ
- 105 配線
- 106 金属ボール
- 107 封止樹脂
- 200 PCB
- 202 開口部
- 203 側面導体
- 207、208 接合部材
- 209 アイランド
- 300 テープ
- 304 接合導体
- 305、306 接合部材

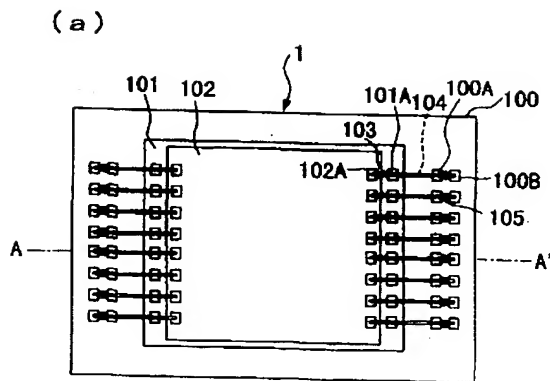
【図2】



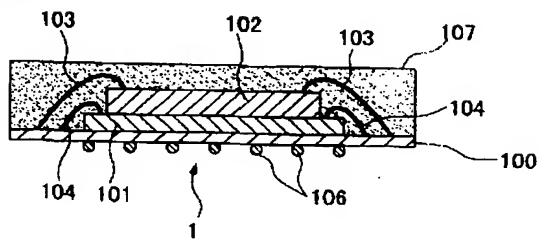
【図3】



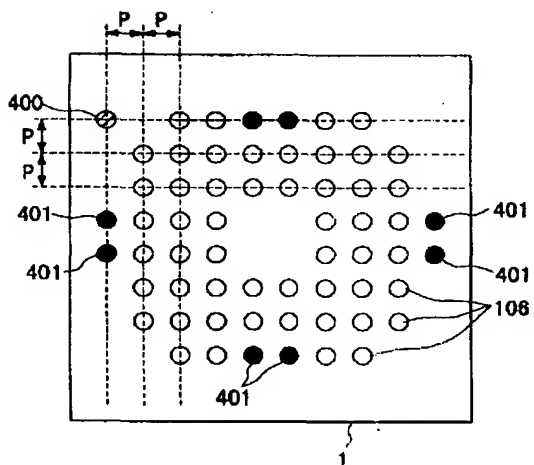
【図1】



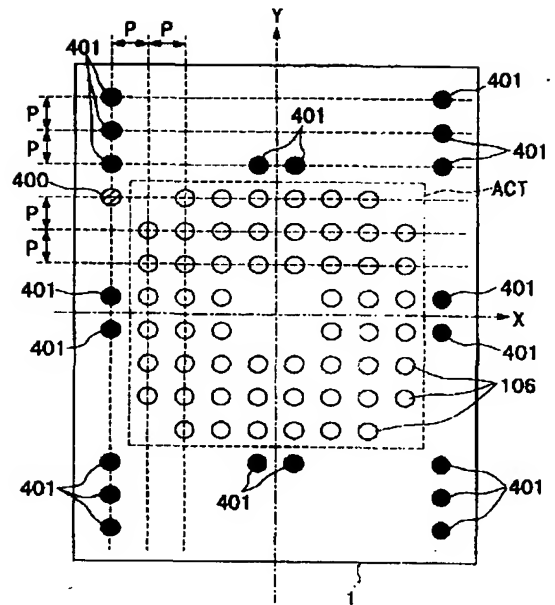
(b)



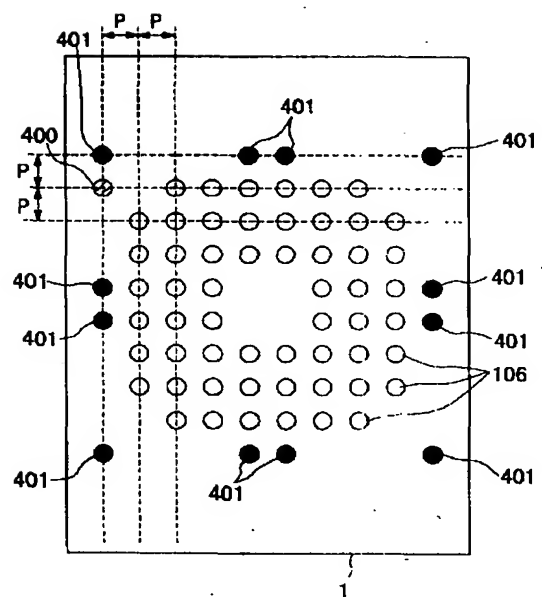
【図5】



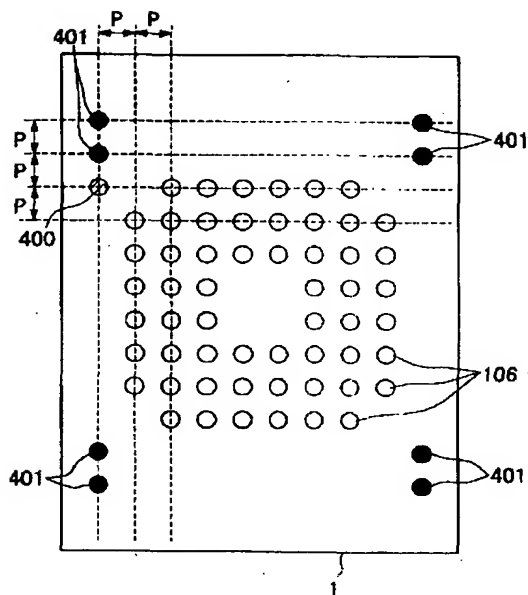
【図4】



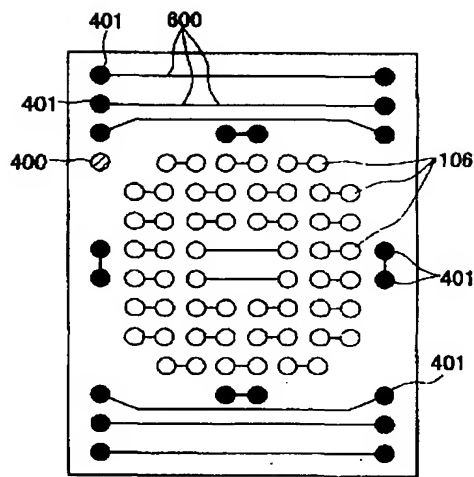
【図6】



【図7】

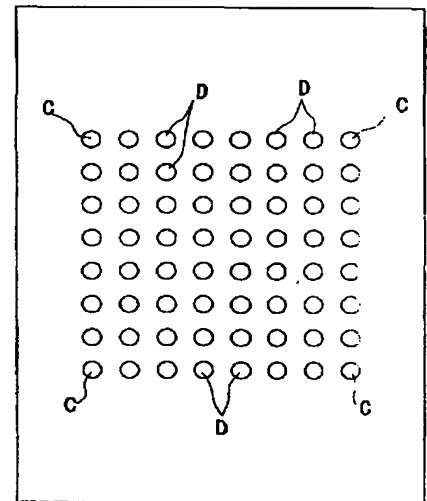
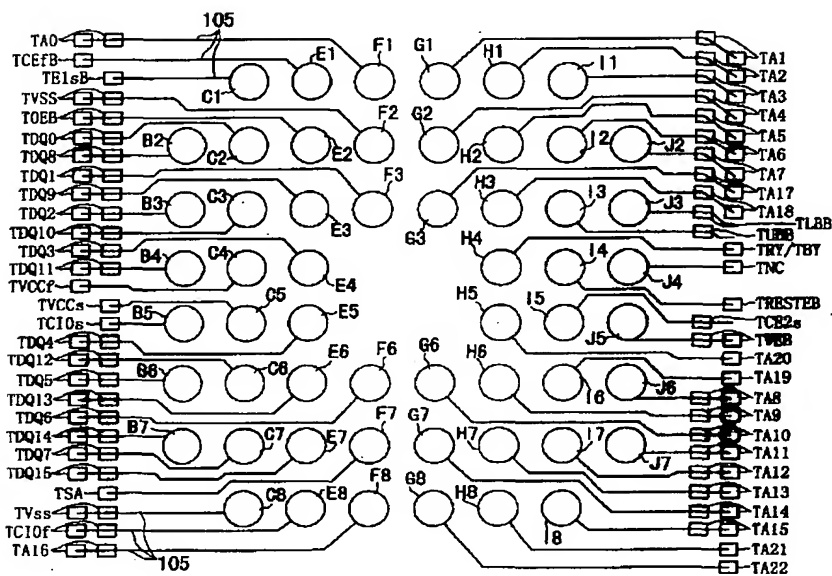


【図9】



【図10】

【図8】



フロントページの続き

(72) 発明者 平田 昌義
東京都港区芝五丁目7番1号 日本電気株
式会社内
(72) 発明者 鈴木 康弘
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72) 発明者 平岡 哲也
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72) 発明者 佐藤 光孝
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内